

JP62049738A

Publication Title:

BURST CONVERTING CIRCUIT

Abstract:

Abstract of JP 62049738

(A) PURPOSE: To obtain a burst converting circuit which is sure and efficient with time, by performing frame matching by using a vacant time slot from the moment when a data signal train is read out in a burst-like condition to the moment at which signal readout is again started in a burst-like condition.
CONSTITUTION: Since the data information quantities which are written in and read out from a FIFO memory 101 in one period in the cycle of a reference timing pulse 5 are equal to each other, a timing pulse 7 is always outputted to the final burst-like bit, if a frame matching circuit 106 makes normal operations.; Therefore, frame matching is performed by using a vacant time slot from the moment when a burst signal train 6 is read out to the moment at which the burst signal train 6 is again read out, when phase absorption, frame matching, and burst conversion are performed on an inputted digital signal train 1 and input timing pulse 2 against the reference timing pulse 5, at which the reference clock 4 and burst signal train 6 of the output side of this converting circuit are to be outputted, by using the FIFO memory 101.

Courtesy of <http://v3.espacenet.com>

(19)日本国特許庁（ＪＰ）

(12) 特 許 公 報（Ｂ２）

(11)特許出願公告番号

特公平6-20196

(24) (44)公告日 平成6年(1994)3月16日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 7/00	A	7928-5K		
H 0 4 J 3/06	Z	8843-5K		
H 0 4 L 7/10		7928-5K		

発明の数 1（全 7 頁）

(21)出願番号	特願昭60-188328	(71)出願人	999999999 日本電気株式会社 東京都港区芝5丁目7番1号
(22)出願日	昭和60年(1985)8月29日	(72)発明者	大田和 雅之 東京都港区芝5丁目33番1号 日本電気株式会社内
(65)公開番号	特開昭62-49738	(74)代理人	弁理士 芦田 坦（外2名）
(43)公開日	昭和62年(1987)3月4日	審査官	江嶋 清仁
		(56)参考文献	特開 昭55-38633（ＪＰ，Ａ） 特開 昭56-110147（ＪＰ，Ａ） 特開 昭60-240237（ＪＰ，Ａ） 特開 昭61-277237（ＪＰ，Ａ）

(54)【発明の名称】 バースト変換回路

【特許請求の範囲】

【請求項1】入力信号を高速信号に変換しバースト状に出力するバースト変換回路において、入力ディジタル信号列と入力タイミングパルスを入力クロックによって書き込み、変換回路出力側の基準クロックとバースト信号列を出力すべき基準タイミングパルスに対し位相吸収、バースト信号列の頭出しのためのフレーム整合及びバースト変換を行うＦＩＦＯ（First-In, First-Out）メモリと、入力クロックのビット単位位相変動に対しマージンを持つ為に入力クロックをＮビット（Ｎ：自然数）カウントするマージン用カウンタと、前記ＦＩＦＯメモリが出力する“オーバーフロー”情報と入力クロックと前記マージン用カウンタ出力及び基準タイミングパルスを入力信号とし、入力ディジタル信号列と入力タイミングパルスの前記ＦＩＦＯメモリへの書き込みを制御する入力

制御回路と、前記マージン用カウンタ出力によって基準タイミングパルスをＭ個（Ｍ：自然数）カウントし、Ｍ周期の間読み出しを止めてＭ周期分のデータを前記ＦＩＦＯメモリに蓄積する為の読み出し制御カウンタと、前記ＦＩＦＯメモリからバースト状にデータ信号を読み出し終った時点から再びバースト状に信号を読み出すまでの空タイムスロットを用いて基準タイミングパルスに対する入力ディジタル信号と入力タイミングパルスのフレーム整合を行い、フレーム整合結果を出力するフレーム整合回路と、前記ＦＩＦＯメモリが出力する“エンプティ（empty）”情報と基準クロックと基準タイミングパルスと前記読み出し制御用カウンタ出力及びフレーム整合回路出力によって入力ディジタル信号列と入力タイミングパルスを前記ＦＩＦＯメモリより読み出す読み出しパルスを発生する出力制御回路とから成るバースト変換

回路。

〔発明の詳細な説明〕

〔産業上の利用分野〕

本発明はバースト変換回路に関し、特にFIFOメモリを用いてデータ信号列の位相吸収、フレーム整合及びバースト変換を行う回路に関する。

〔従来の技術〕

第4図は従来のバースト変換回路のブロック図である。第4図において、FIFO(First-In First-Out)メモリ101は入力デジタル信号列1と入力タイミングバルス2を書き込みバルス11によって入力する。FIFOメモリ101はまた、基準クロック4とバースト信号列6を出力すべき基準タイミングバルス5に対して位相吸収、フレーム整合、及びバースト変換を行い、読み出しバルス13によってバースト信号列6とタイミングバルス7を出力し、更にデータ蓄積量に応じて“オーバフロー”情報8、“エンパティ(empty)”情報9をそれぞれ出力する。ここで、フレーム整合(Frame Aligner)とは、基準タイミングバルス5にもとづいてFIFOメモリ101から出力するバースト信号列の頭出しを行うことである。マージン用カウンタ102は電源投入時等の初期状態において入力クロック3をN(Nは自然数)ビットカウントし、正常動作中、入力クロック3のビット内位相変動に対しNビット分のマージンをFIFOメモリ101に持たせ、マージンカウンタ情報10を出力する。入力制御回路103はFIFOメモリ101の出力する“オーバフロー”情報8と入力クロック3とマージン用カウンタ102出力のマージン用カウンタ情報10及び基準タイミングバルス5とによって書き込みバルス11を出力する。読み出し制御カウンタ104は電源投入時等の初期状態においてマージン用カウンタ情報10によって基準タイミングバルス5をM(Mは自然数)個カウントし、読み出し制御バルス12を出力する。出力制御回路105はFIFOメモリ101が出力するタイミングバルス7と“エンパティ”情報9と基準クロック4と基準タイミングバルス5と読み出し制御バルス12とによって読み出しバルス13を出力する。この回路では、第5図、第3図のタイミングチャートを用いて説明すると、電源投入時等の初期状態において読み出しを止め、入力タイミングバルス2(第5図b)の周期で1ビット(1は自然数)長の入力デジタル信号列1(第5図a)と入力タイミングバルス2をNビット分だけ最初に入力制御回路103によってFIFOメモリ101に書き込む。そして、マージン用カウンタ102において入力クロック3をNビットカウントした後、マージン用カウンタ情報10によって一時的に書き込みを中止した後、最初に基準タイミングバルス5(第5図c)が入力した時から再び入力デジタル信号列1と入力タイミングバルスの書き込みを開始し、M周期分のデータをFIFOメモリ101に蓄積する。読み出し制御カウンタ104は(M+1)個目の基準タイミングバルス5が入力すると読み

出し制御バルス12を出力し、出力制御回路105より読み出しバルス13(第5図d)を出力させる。一方、出力制御回路105はタイミングバルス7が出力されるまでFIFOメモリ101よりデータを読み出す。タイミングバルス7(第5図f)がFIFOメモリ101より出力されると、出力制御回路105は読み出しバルス13を出力するのを止めFIFOメモリ101よりデータの出力を止め、バースト信号列6は第5図eの状態で止まる。

第3図において、次の周期で新たに基準タイミングバルス5が入力すると出力制御回路105は再び読み出しバルス13を出力し、FIFOメモリ101よりフレーム整合されたバースト変換されたバースト信号列6(第3図e')とタイミングバルス7(第7図f')を出力させる。このようにしてFIFOメモリを用いて位相吸収、フレーム整合及びバースト変換を行なっていく。

〔発明が解決しようとする問題点〕

しかし、このような回路ではバースト状の読み出しバルス13を用いてフレーム整合とバースト変換を行うので、第5図に示すように、FIFOメモリ101よりバースト信号列6を読み出している途中でタイミングバルス7が出力された瞬間読み出しを止めフレーム整合を行なわなければならない。その結果、バースト変換が一時中断され、しかも読み出しバルスをフレーム整合とバースト変換に共通に使用するので高速で動作する素子が必要となり、しかも途中でバースト変換が止まるので効率が悪く時間がかかり過ぎる欠点があった。

本発明はデータ信号列をバースト状に読み出し終えた時点から再びバースト状に信号を読み出すまでの空タイムスロットを用いてフレーム整合を行うことによって、前記欠点を解消し確実に且つ時間的に効率の良いバースト変換回路を提供することを目的としている。

〔問題点を解決するための手段〕

本発明は、入力信号を高速信号に変換しバースト状に出力するバースト変換回路において、入力デジタル信号列と入力タイミングバルスを入力クロックによって書き込み、変換回路出力側の基準クロックとバースト信号列を出力すべき基準タイミングバルスに対し位相吸収、フレーム整合及びバースト変換を行うFIFOメモリと、入力クロックのビット単位位相変動に対しマージンを持つべくに入力クロックをNビットカウントするマージン用カウンタと、前記FIFOメモリが出力する“オーバフロー”情報と入力クロックと前記マージン用カウンタ出力及び基準タイミングバルスを入力信号とし、入力デジタル信号列と入力タイミングバルスの前記FIFOメモリへの書き込みを制御する入力制御回路と、前記マージン用カウンタ出力によって基準タイミングバルスをM個カウントし、M周期の間読み出しを止めM周期分のデータを前記FIFOメモリに蓄積する為の読み出し制御カウンタと、前記FIFOメモリからバースト状にデータ信号を読み出し終わった時点から再びバースト状に信号を読み出すまで

の空タイムスロットを用いて基準タイミングパルスに対する入力デジタル信号と入力タイミングパルスのフレーム整合を行い、フレーム整合結果を出力するフレーム整合回路と、前記FIFOメモリが出力する“エンパティ”情報と基準クロックと基準タイミングパルスと前記読み出し制御用カウンタ出力及びフレーム整合回路出力によって入力デジタル信号列と入力タイミングパルスを前記FIFOメモリより読み出し読み出しパルスを発生する出力制御回路とから成ることを特徴とする。

〔実施例〕

以下に本発明の実施例について説明する。

第1図は本発明の一実施例のブロック図であり、第4図と同一部分、同一信号には同一番号を付し、説明は省略する。本実施例では、基準タイミングパルス5に対してタイミングパルス7をフレーム整合させ、フレーム整合結果14を出力フレーム整合回路106を備えている。出力制御回路105は、FIFOメモリ101が出力する“エンパティ”情報9と基準クロック4と基準タイミングパルス5と読み出し制御カウンタ104の出力である読み出し制御パルス12及びフレーム整合結果14とによって読み出しパルス13を出力する。

なお、入力タイミングパルス2は入力デジタル信号列1のフレームの位相を示すためのもので、基準タイミングパルス5は、フレーム整合のために、FIFOメモリ101から出力されるバースト信号列6のフレーム位相を管理するためのものである。また、タイミングパルス7は、バースト信号列6のフレームの位相を示し、基準タイミングパルス5と位相を比較するためのパルスである。

以下、第1図、第2図、第3図を参照して詳細に説明する。本回路では、電源投入時等の初期状態において読み出しを止め、最初に入力タイミングパルス2（第2図b）の周期で1ビット長の入力デジタル信号列1（第2図a）を入力タイミングパルス2のNビット分だけ入力制御回路103によって書き込む。そして、マージン用カウンタ102においてNビットカウントした後、その出力であるマージン用カウンタ情報10によって一時的に書き込みを中止した後、最初に基準タイミングパルス5（第2図c）が入力した時から再び入力デジタル信号列1と入力タイミングパルス2の書き込みを開始し、M周期分のデータをFIFOメモリ101に貯える。読み出し制御カウンタ104はM+1個目の基準タイミングパルスが入力すると読み出し制御パルス12を出力し、出力制御回路105よりバースト状の読み出しパルス13（第2図d）

を出力させる。FIFOメモリ101ではバースト状にデータを出力（第2図e）及び（第2図f）した最後のビットはすぐ次に読み出しパルス13が出力されないで、次の基準タイミングパルス5が来るまで最後のビットの情報が保持される。このことを利用してフレーム整合回路106は、バースト状にデータを読み出した最後のビットを監視しタイミングパルス7が出力されているかどうか判定する。もし、タイミングパルス7が出力されていなければフレーム整合結果14を出力し、FIFOメモリ101よりタイミングパルス7が出力されるまで出力制御回路105を制御し、読み出しパルス13を出力制御回路105より出力させる。そして、FIFOメモリ101よりタイミングパルス7が出力されれば読み出しを止める。

このようなバースト変換回路において、基準タイミングパルス5の周期で一周期中にFIFOメモリ101に書き込み、読み出されるデータ情報量は同じなので、フレーム整合回路106が正常動作を行えば出力されるデータは（第3図e'）及び（第3図f'）でバースト状の最後のビットには絶えずタイミングパルス7が出力される。

従って本発明では、FIFOメモリを用いて入力デジタル信号列1と入力タイミングパルス2を変換回路出力側の基準クロック4とバースト信号列6を出力すべき基準タイミングパルス5に対し位相吸収、フレーム整合及びバースト変換を行う際にバースト信号列6を読み出し終えた時点から再びバースト信号列6を読み出すまでの空タイムスロットを用いてフレーム整合を行うことによってバースト変換とフレーム整合が確実に且つ効率よく制御できる。

〔発明の効果〕

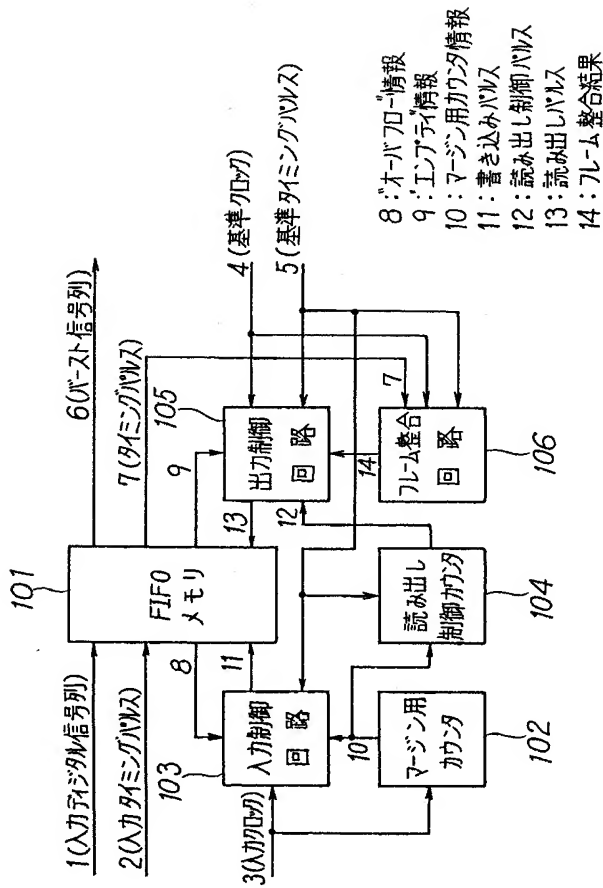
以上説明したように、本発明は、入力デジタル信号列をバースト信号列に変換した後のタイムスロットを利用することによって確実に且つ効率良くバースト変換と共にフレーム整合を行うことができる効果がある。

【図面の簡単な説明】

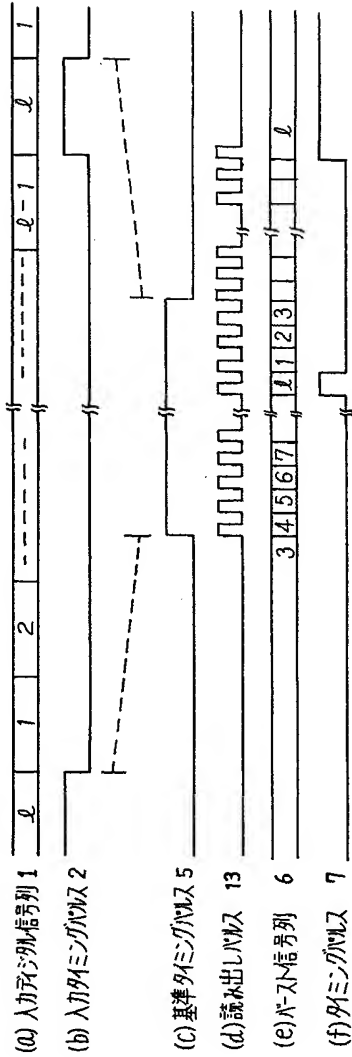
第1図は本発明のバースト変換回路の一実施例を示すブロック図で、第2図、第3図はそれぞれバースト変換回路の動作を示すタイミングチャートで第2図は制御前、第3図は制御後について示す。第4図は従来例によるバースト変換回路のブロック図。第5図は従来のバースト変換回路の動作を説明するためのタイミングチャートである。

図中、101はFIFOメモリ、102はマージン用カウンタ、103は入力制御回路、104は読み出し制御カウンタ、105は出力制御回路、106はフレーム整合回路。

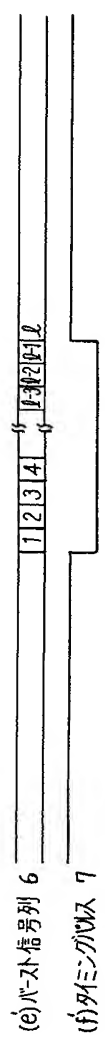
【第1図】



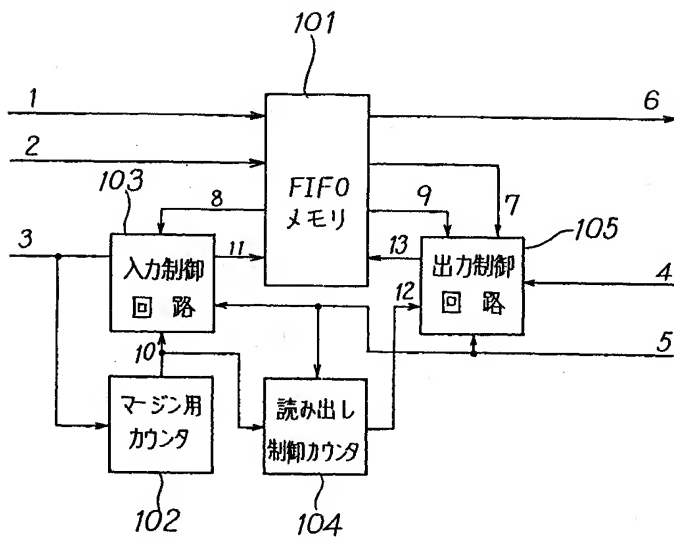
【第2図】



【第3図】



101



【第5図】

